

PARALLEL DATA PROCESSOR**Publication number:** JP61231657 (A)**Publication date:** 1986-10-15**Inventor(s):** MIYATA HIROYUKI**Applicant(s):** AGENCY IND SCIENCE TECHN**Classification:**

- international: G06F15/16; G06F7/38; G06F7/53; G06F7/533; G06F15/177;
G06F15/80; G06T1/00; G06T1/20; G06F15/16; G06F7/38;
G06F7/48; G06F15/76; G06T1/00; G06T1/20; (IPC1-
7): G06F7/38; G06F15/16

- European:

Application number: JP19850072544 19850408**Priority number(s):** JP19850072544 19850408**Also published as:**

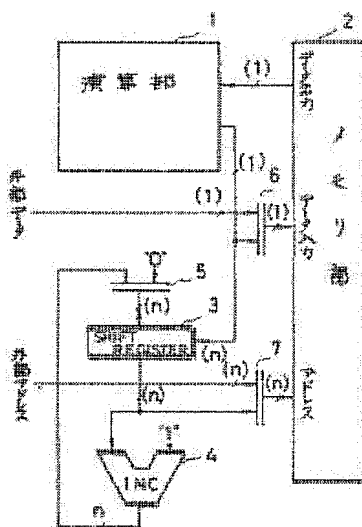
JP7043698 (B)

JP2005227 (C)

Abstract of JP 61231657 (A)

PURPOSE: To speed up data conversion using a data converting table by storing previously all converted values on the data converting table in the memory means of a basic arithmetic factor.

CONSTITUTION: First address data is given sequentially from the outside, and supplied to a memory part 2 through a multiplexer 7. Thus a value to be converted is outputted by one bit from the data output of the memory part 2. On the other hand, an arithmetic part 1 does not any processing, and stored data to be converted in a shift register 3 by a serial shift action. Afterward, the multiplexer 7 is caused to select the side of the shift register 3, and the value subjected to conversion is read out of the memory part 2. The converted value is transmitted to the arithmetic part 1 from the data output of the memory part 2, and sent outside if necessary.



Data supplied from the esp@cenet database — Worldwide

⑫ 公開特許公報(A)

昭61-231657

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)10月15日

G 06 F 15/16
7/38T-2116-5B
7056-5B

審査請求 有 発明の数 1 (全6頁)

⑮ 発明の名称 並列データ処理装置

⑯ 特 願 昭60-72544

⑰ 出 願 昭60(1985)4月8日

⑱ 発 明 者 宮 田 裕 行 鎌倉市上町屋325番地 三菱電機株式会社情報電子研究所
内

⑲ 出 願 人 工 業 技 術 院 長

明細書

1. 発明の名称

並列データ処理装置

2. 特許請求の範囲

演算手段とメモリ手段とを1組とする複数組の基本演算要素と、これら複数組の基本演算要素に対してデータ変換テーブルの変換値を順次与え、各基本演算要素に予め入力されていた入力データを独立して前記データ変換テーブルに従って変換させる制御手段とを備えた並列データ処理装置において、

前記データ変換テーブルの変換値の全てを各基本演算要素のメモリ手段に予め記憶させておくことを特徴とする並列データ処理装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、演算手段とメモリ手段とを1組とする基本演算要素を複数組設け、これら複数組の基本演算要素に対して所要のデータ処理を並列に行なわせる並列データ処理装置に関するものである。

〔従来の技術〕

従来、この種の並列データ処理装置は例えば画像処理分野等において $n \times m$ 画素($n, m \geq 2$)から成る画像の濃度変換を行う場合に用いられている。

第3図は、 4×4 画素から成る画像の濃度変換を行う場合に用いられている従来の並列データ処理装置の構成を示すブロック図であり、 4×4 の計16個の画素にそれぞれ対応して演算部(1)とメモリ部(2)とを1組とする16組の基本演算要素(10)がマトリクス状に配置され、各基本演算要素(10)に共通の制御部(11)から演算命令やデータが入力されるように構成されている。

この構成において、各画素の濃度が第4図(a)に示すような構成となっている画像(12)を、8段階の濃度値に対する変換値が第4図(b)に示すように設定されている変換テーブル(13)によって濃度変換する場合、まず、画像(12)の各画素の濃度値を各画素にそれぞれ対応する組

の基本演算要素(10)に転送し、メモリ部(2)に格納しておく。次に、変換テーブル(13)の濃度値とその変換値とを各濃度段階別に各基本演算要素(10)に同時に転送する。すると、各基本演算要素(10)では自己のメモリ部(2)に格納されている濃度値と同じ値を持つ変換テーブルの濃度値が送られてきたとき、この濃度値と1対になった変換値を取込み、これを濃度変換値として記憶する。この変換処理は変換テーブル(13)の8段階の濃度値と変換値とを転送し終った時点で終了する。

これにより、第4図(a)の画像(12)は第4図(c)に示すような濃度分布の画像(14)に変換される。

[発明が解決しようとする問題点]

ところが、上記のような処理方法をとった場合、同一内容の変換テーブル(13)に従って濃度変換を行う場合でも、新たな画像(12)が与えられる都度、変換テーブル(13)の内容を濃度段階順に順次転送する必要があるため、たとえ各基

- 3 -

に説明する。

第1図は本発明を適用した並列データ処理装置における1組の基本演算要素の一実施例を示す構成図であり、従来構成の演算部(1)およびメモリ部(2)に対して、シフトレジスタ(3)、加算器(4)、マルチプレクサ(5)~(7)を付加したものである。

シフトレジスタ(3)は並列入力とシリアル入力が可能であり、出力は並列である。加算器(4)はシフトレジスタ(3)の出力に対して「1」を加え、シフトレジスタ(3)の出力を順次更新するものである。マルチプレクサ(5)はシフトレジスタ(3)の並列入力端子に入力する値を加算器(4)の出力または「0」に切換えるものである。また、マルチプレクサ(6)はメモリ部(2)に対する入力データの経路を演算部(1)の出力側または外部入力データ側に切換えるものである。さらに、マルチプレクサ(7)はメモリ部(2)に対するアドレスデータの経路をシフトレジスタ(3)の出力側または外部のアドレス入力データ

- 5 -

本演算要素(10)が並列に動作したとしても変換処理が終了するまでに長時間を要するという問題点があった。

本発明は上記のような問題点を解決するためになされたもので、その目的は変換テーブルを用いたデータ変換を高速に行うことができる並列データ処理装置を提供することにある。

[問題点を解決するための手段]

本発明は、変換テーブルの変換値の全てを各基本演算要素のメモリ手段に予め記憶させておくようにしたものである。

[作用]

各基本演算要素は、データの変換処理に際してメモリ手段に予め記憶されている変換テーブルを個別に参照して変換処理を行う。従って、変換テーブルを制御手段から転送するのは1回だけでよくなり、この転送回数の省略された分だけ高速化が可能になる。

[実施例]

以下、図示する実施例に基づいて本発明を詳細

- 4 -

側に切換えるものである。

なお、演算部(1)とメモリ部(2)との間、および演算部(1)とシフトレジスタ(3)との間のデータ転送は1ビット単位で行なわれる。このため、メモリ部(2)の記憶容量を2のn乗ビットとした場合はその構成は「1ビット×2のn乗語」となる。一方、シフトレジスタ(3)はnビット幅を持っている。

各基本演算要素が以上のように構成された並列データ処理装置の動作について、以下詳細に説明する。但し、各基本演算要素は1つのデータを処理するものとし、このデータはメモリ部(2)に既に記憶されているものとする。

(1) 各基本演算要素内のメモリ部に変換テーブルを格納する動作について。

この処理の場合には、まずマルチプレクサ(5)を「0」の値を選択する側に切換えておき、この選択によってマルチプレクサ(5)から出力される「0」の値をシフトレジスタ(3)に並列入力することにより、シフトレジスタ(3)をクリア

- 6 -

は、シフトレジスタ(3)の値を「1」ずつ加算する加算器(4)を使用すればよい。

なお、基本演算要素の数よりも処理すべきデータの数が増えた場合、基本演算要素が不足することになるが、この場合には各基本演算要素に複数のデータの処理を割当てるか、または処理すべきデータを基本演算要素の数の単位で分割し、各分割単位毎に処理する方法をとればよい。

ところで、上記実施例では、各基本演算要素に対し1つの変換テーブルを格納する場合を述べてきたが、2つの変換テーブルを保持されることにすれば、乗算、除算の高速化が可能となる。

すなわち、各基本演算要素内の2つのメモリに一方は変換前の値の対数値を内容として、もう一方には同じ底の指数値を格納しておく。すると、もしAとBの積を求めたい場合にはA、B共に上記のような対数変換テーブルを参照し、 $\log A$ 、 $\log B$ を求める。その後、この2つの値の加算を行い、その加算値を指数変換テーブルにより変換することにより、積ABが求められる。除算に

- 11 -

関しては上記の加算を減算とするのみでよい。

すなわち、乗算、除算が3回のテーブル参照と加算または減算動作のみで終了する。

[発明の効果]

以上説明したように本発明は、データ変換テーブルの変換値の全てを基本演算要素のメモリ手段に予め記憶させておくようにしたため、データ変換テーブルを用いたデータ変換を高速に行うことができるという効果が得られる。

図面の簡単な説明

第1図は本発明を適用した並列データ処理装置における基本演算要素の一実施例を示す構成図、第2図は変換テーブルの一例および変換値の記憶のさせ方を示す図、第3図は従来の並列データ処理装置の構成図、第4図は第3図における動作を説明するための説明図である。

(1)・・・演算部、(2)・・・メモリ部、
(3)・・・シフトレジスタ、(4)・・・加算器、(5)～(7)・・・マルチプレクサ、(8)・・・変換テーブル、(10)・・・

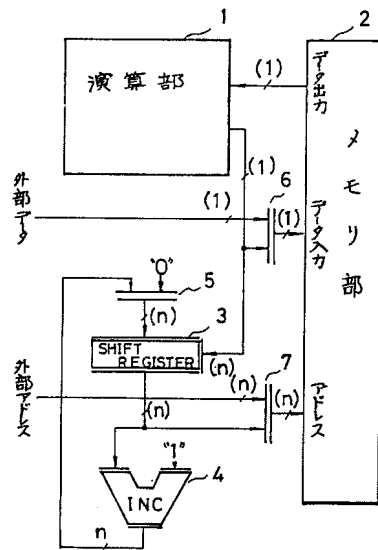
- 12 -

基本演算要素、(11)・・・制御部。

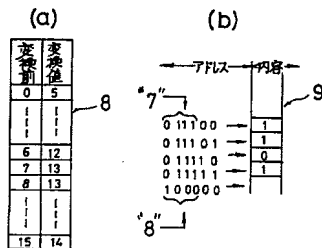
代理人 弁理士 大岩増雄(外2名)

出願人 工業技術院長

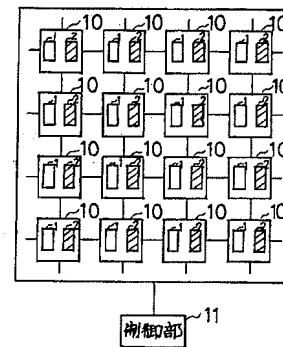
第 1 図



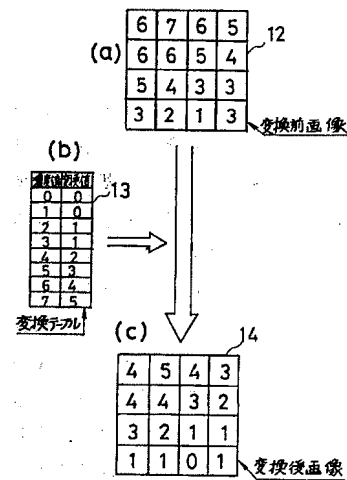
第 2 図



第 3 図



第 4 図



官庁出願

手続補正書（自発）

昭和60年9月20日

特許庁長官殿

1. 事件の表示

昭和60年特許願第72544号

2. 発明の名称

並列データ処理装置

3. 補正をする者

事件との関係

特許出願人

住所

東京都千代田区霞が関一丁目3番1号

氏名 (114)

工業技術院長

等々力

連絡先

(書類送付先)

住所

同所

氏名

工業技術院 総務部研究業務課

電話 (501) 1511 内線 4541~3



4. 補正の対象

明細書の特許請求の範囲、発明の詳細な説明の欄。

5. 補正の内容

2. 特許請求の範囲

演算手段とメモリ手段とを1組とする基本演算要素を多数、2次元格子状に配置し、隣接する基本演算要素どうしを接続し、すべての基本演算要素がひとつの制御部から与えられる同一命令により動作する並列データ処理装置において、

前記各基本演算要素に内部のメモリ用アドレスレジスタと、そのレジスタの値を「1」ずつ増加させる機能を持たせることにより、すべての基本演算要素に同一のデータ変換テーブルを与え、各基本演算要素ごとに、その内部のデータを独立して、このデータ変換テーブルに従って変換することを特徴とした並列データ処理装置。

特開昭61-231657 (6)

(1) 特許請求の範囲を別紙の通り補正する。

(2) 明細書第2頁第6行目「4×4画素」とあるのを「例として4×4画素」と補正する。

(3) 同書第4頁第10行目乃至第11行目に「記憶させておくようにしたものである。」とあるのを「記憶させ、各基本演算要素ごとに、テーブルを参照する機能を持たせたものである。」と補正する。

以上